



UNIVERSIDADE FEDERAL DE SANTA CATARINA - UFSC
DEPARTAMENTO DE ENGENHARIA ELÉTRICA - EEL
CAMPUS UNIVERSITÁRIO - TRINDADE - CEP 88040-900
FLORIANÓPOLIS - SANTA CATARINA

Referências de Tensão Sub-1V

Monografia Submetida à Universidade Federal de Santa Catarina
como requisito para a aprovação da disciplina:
EEL 7890 - Projeto Final

Acadêmico: Adan Kvitschal
Orientador: Prof. Marcio Cherem Schneider, Dr.

Florianópolis, fevereiro de 2012.

Referências de Tensão Sub-1V

Adan Kvitschal

Esta monografia foi julgada no contexto da disciplina
EEL7890 - Projeto Final
e aprovada na sua forma final pelo
Curso de Engenharia Elétrica

Banca Examinadora:

Prof. Marcio Cherem Schneider, Dr.
Orientador

Prof. Carlos Galup-Montoro, Ph.D.
Participante da Banca

Gerard F. Santillán-Quiñonez, Ph.D.
Participante da Banca

Daniel Pasti Mioni, M.Sc.
Participante da Banca

Resumo

Este trabalho apresenta métodos e topologias de projeto de referências de tensão com o intuito de atingir a operação em tensões de alimentação e potências ultra-baixas.

Primeiramente, são abordados o estudo do comportamento da junção PN em função da temperatura e seu uso nas topologias clássicas de referência de tensão de bandgap.

Em seguida são mostrados estudos e dados experimentais da tensão de limiar do transistor MOSFET e sua aplicação em referência de tensão.

Ao final, é apresentado o projeto de um circuito de referência de tensão implementado na tecnologia IBM $0,18 \mu m$ e funcional até $0,7 V$, consumindo pouco mais de $100 nW$ e apresentando uma tensão de referência de aproximadamente $665 mV$ com erro menor que $0,3$ por cento ao longo de toda a faixa de operação.

Sumário

1	Introdução	6
1.1	Considerações Iniciais	6
1.2	Tensões PTAT e CTAT	7
2	Estudo do Diodo PN para Referências de Tensão	8
2.1	Comportamento da Característica IxV em Função da Temperatura	9
2.2	Dados Experimentais	10
2.3	Tensão PTAT a Partir de Duas Junções PN	12
2.4	Uma Referência de Tensão de Bandgap	13
3	A Tensão de Limiar do Transistor MOSFET	16
3.1	Modelagem Matemática	17
3.2	Extração de Parâmetros	18
3.3	Dados Experimentais	19
3.4	O Transistor ZVT	20
4	Blocos Construtivos	23
4.1	O Transistor MOSFET Self-Cascode	23
4.1.1	Equacionamento	24
4.2	Espelho de Corrente Seguidor de Tensão	26
4.2.1	Equacionamento	26
4.2.2	Simulação	28
5	Projeto de Uma Referência de Tensão Sub-1V	29
5.1	Análise	30
5.1.1	Ponto de Operação	30
5.1.2	Sensibilidade à Variação da Tensão de Alimentação	31
5.1.3	Mínima Tensão de Operação	32
5.2	Calibração	32
5.3	Resultados	34
6	Conclusões	37

A	O Modelo ACM	38
A.1	Equações Analíticas	38
A.2	Aproximações	39
A.2.1	Saturação	39
A.2.2	Inversão Fraca	40
A.2.3	Tensão de <i>Pinch-off</i>	40

Lista de Figuras

2.1	Corte transversal simplificado do transistor bipolar planar NPN ligado na configuração diodo, fora de escala.	8
2.2	Comportamento da tensão sobre o transistor bipolar compatível CMOS em configuração diodo em função da temperatura para diversas correntes de polarização.	11
2.3	Topologia clássica usada para referências de tensão de bandgap	14
3.1	Corte transversal simplificado do transistor NMOS, fora de escala.	16
3.2	Comportamento da tensão de limiar em função do comprimento de canal na tecnologia TSMC 0,18 μm . Fonte: [9]. . .	19
3.3	Medidas extraídas para o comportamento em temperatura da tensão de porta do transistor NMOS sob corrente constante. .	20
3.4	Esquemático do circuito usado para as medidas do transistor Zero- V_{T0}	21
3.5	Layout do transistor ZVT utilizado no teste. Tecnologia IBM 0,13 μm	21
3.6	Medidas extraídas para comportamento em temperatura do transistor Zero- V_{T0}	22
4.1	Esquemático do Self-Cascode MOSFET montado na configuração de diodo.	23
4.2	Esquemático do espelho de corrente seguidor de tensão. . . .	26
4.3	Resultado da simulação do VFCM em comparação à teoria. .	28
5.1	Esquemático do circuito usado para referência de tensão. . . .	29
5.2	Esquemático do espelho de corrente controlável de 4 bits. . .	33
5.3	Tensão de referência em função da temperatura para diferentes tensões de alimentação.	35
5.4	Tensão de referência em função da tensão de alimentação para diferentes temperaturas.	35
5.5	Correntes nos ramos do espelho de corrente em função da tensão de alimentação.	36

Lista de Símbolos

- ϕ_t - Tensão térmica ou potencial térmico
- η - Fator de rampa
- μ - Mobilidade dos portadores de carga
- C'_{ox} - Capacitância do óxido por unidade de área
- V_G - Tensão de porta em relação ao substrato
- V_D - Tensão de dreno em relação ao substrato
- V_S - Tensão de fonte em relação ao substrato
- V_P - Tensão de *pinch-off*
- I_D - Corrente de dreno
- E_g - Tensão de bandgap extrapolada
- k_B - Constante de Boltzmann
- q - Carga fundamental
- T_a - Temperatura absoluta
- V_{T0} - Tensão de limiar
- I_S - Corrente específica do transistor MOSFET
- I_{SQ} - Corrente específica de folha
- W - Largura de canal
- L - Comprimento de canal
- S - Razão de aspecto
- I_{sr} - Corrente de saturação reversa ou corrente de escala da junção PN
- $D_{p,n}$ - Coeficiente de difusão dos portadores
- $\tau_{p,n}$ - Tempo médio de vida dos portadores
- N_D - Concentração de dopantes doadores
- N_A - Concentração de dopantes aceitadores
- n_i - Concentração de portadores do material intrínseco

Capítulo 1

Introdução

Referências de tensão são blocos indispensáveis em muitos circuitos integrados analógicos e de sinal misto, tais como conversores de sinal analógico-digital e digital-analógico, reguladores de tensão, blocos de gerenciamento de energia, entre outros.

Nos dias atuais, cada vez mais a informação precisa ser armazenada na forma digital em bancos de dados ou veiculada por meio de redes como a internet. Porém, a informação em sua forma natural frequentemente é analógica e a conversão deve ser feita através de circuitos eletrônicos.

A precisão da informação codificada em palavras digitais é completamente dependente das referências de tensão ou corrente usadas para converter os sinais analógicos em digitais e digitais em analógicos. Daí vemos a importância de garantir a precisão, confiabilidade e estabilidade de circuitos de referência.

Outra aplicação frequente é na polarização de circuitos analógicos, para que estes se tornem menos sensíveis a variações de temperatura ou tensão de alimentação, por exemplo.

Partes do circuito de referência ainda podem ser configuradas para operar como monitores de temperatura em sistemas mais complexos, como um microprocessador.

1.1 Considerações Iniciais

Com a contínua redução das dimensões em tecnologias CMOS e a necessidade de redução da densidade de potência em grandes circuitos integrados digitais, são necessárias tensões de operação cada vez mais baixas.

O ponto ótimo para a tensão de operação com relação à eficiência, para tecnologias extremamente reduzidas e até nanoescalares, ocorre em torno de $0,3\text{ V}$ a $0,5\text{ V}$ [1, 2]. Outras aplicações, como redes de sensores auto-alimentados, também requerem circuitos capazes de operar em tensões extremamente baixas.

O uso das topologias clássicas de referências de tensão de bandgap em substratos de silício, como se sabe, restringe a tensão de alimentação do circuito a faixas acima de aproximadamente 1,5 V. Dessa forma, sua aplicação fica impossibilitada em muitos casos como os apresentados.

1.2 Tensões PTAT e CTAT

Comumente, referências de tensão em circuitos integrados são criadas somando-se uma grandeza proporcional à temperatura absoluta, geralmente denominada PTAT (do inglês, *Proportional To Absolute Temperature*), com outra que apresenta dependência negativa em relação à temperatura, esta denominada CTAT (*Complementary To Absolute Temperature*). Ajustando-se os fatores de ponderação dessa soma, é possível criar uma referência de tensão relativamente invariável em uma grande faixa de temperaturas.

Uma grandeza denominada PTAT é aquela que apresenta um comportamento linear e crescente com o aumento da temperatura, podendo ser escrita como:

$$PTAT = KT_a \quad (1.1)$$

Onde K é uma constante de escala dependente do processo usado para geração da grandeza e T_a é a temperatura absoluta, medida em Kelvin.

Uma grandeza CTAT, por outro lado, diminui linearmente com a temperatura, podendo ser escrita na seguinte forma:

$$CTAT = K_1 - K_2T_a \quad (1.2)$$

Sendo K_1 e K_2 fatores constantes e dependentes do processo usado para gerar a grandeza CTAT.

Em um circuito eletrônico, podemos observar comportamentos PTAT e CTAT em várias correntes, tensões e impedâncias. O conhecimento do comportamento dessas grandezas nos permite compensá-las e produzir circuitos estáveis em um determinado intervalo de temperatura.

Capítulo 2

Estudo do Diodo PN para Referências de Tensão

Diodos PN são dispositivos semicondutores de dois terminais, formados pela junção de um semicondutor tipo P e um semicondutor tipo N. Geralmente as duas junções são compostas de silício dopado com elementos químicos que garantem excesso ou falta de determinados portadores ao material.

Em circuitos integrados, estes diodos geralmente são obtidos a partir de um transistor bipolar com os terminais coletor e base em curto [11, p. 94], conforme o corte simplificado mostrado na figura 2.1.

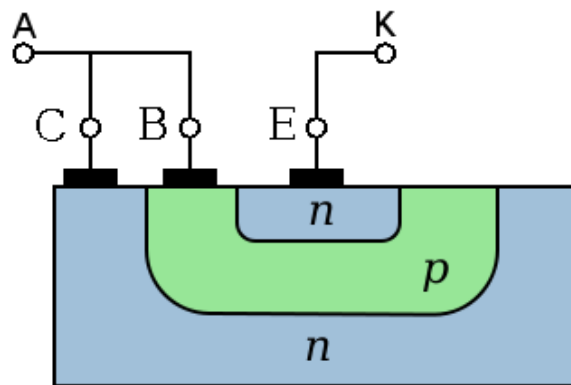


Figura 2.1: Corte transversal simplificado do transistor bipolar planar NPN ligado na configuração diodo, fora de escala.

O transistor bipolar, apesar de não ser utilizado em circuitos lógicos digitais de larga escala, encontra aplicação em circuitos analógicos e de radiofrequência. As características de tensão por corrente das junções PN que compõem o transistor bipolar são interessantes para sua aplicação na geração de grandezas PTAT e CTAT, sendo o bipolar o principal elemento

da topologia clássica de referência de tensão a ser apresentada mais adiante.

2.1 Comportamento da Característica I_xV em Função da Temperatura

O modelo de Shockley para a junção PN define suas características de tensão e corrente conforme a equação 2.1. Denotando por I a corrente direta (do anodo ao catodo) circulando no diodo PN e V a tensão do anodo ao catodo, temos:

$$I = I_{sr} \left(e^{\frac{V}{\eta\phi_t}} - 1 \right) \quad (2.1)$$

O parâmetro I_{sr} , definido na equação 2.2 [11], denota a corrente de saturação reversa, e apresenta forte dependência em relação à temperatura.

Em uma junção PN, a corrente reversa se deve ao fluxo de portadores minoritários, elétrons do lado P para o lado N e lacunas do lado N para o lado P. Dessa forma, o fator I_{sr} depende do coeficiente de difusão de elétrons e lacunas. Os portadores minoritários são gerados termicamente, então a corrente de saturação reversa é praticamente insensível à tensão de polarização. Para o diodo longo, o comportamento de I_{sr} tem a forma mostrada na equação 2.2.

$$I_{sr} = Aq \left(\sqrt{\frac{D_p}{\tau_p} \frac{n_i^2}{N_D}} + \sqrt{\frac{D_n}{\tau_n} \frac{n_i^2}{N_A}} \right) \quad (2.2)$$

A é a área da seção transversal do transistor, q é a carga fundamental, $D_{p,n}$ são os coeficientes de difusão de portadores minoritários no lado P e no lado N, $\tau_{p,n}$ é o tempo médio de vida dos portadores minoritários, n_i é a concentração de portadores do material intrínseco e $N_{A,D}$ são as concentrações de dopantes aceitadores e doadores.

Como o valor de I_{sr} para uma determinada junção é proporcional à área de sua seção transversal, a corrente I_{sr} também é conhecida por corrente de escala.

Considerando a concentração de portadores de uma lado da junção muito maior que no outro lado, como é o caso de uma junção P^+N , podemos escrever:

$$I_{sr} = Aq \sqrt{\frac{D_p}{\tau_p} \frac{n_i^2}{N_D}} \quad (2.3)$$

I_{sr} possui dependências em temperatura de formas diferentes em n_i , D_p e τ_p . Estas dependências podem ser exponenciais com fatores não inteiros, muitas vezes apenas estimadas empiricamente.

Pode-se aproximar o comportamento de I_{sr} pela relação 2.4 [12, p. 256], ignorando certas dependências em temperatura muito menos significativas que a exponencial.

$$I_{sr} \propto e^{-\frac{E_g}{k_B T_a}} \quad (2.4)$$

E_g é a tensão de bandgap extrapolada do semicondutor, aproximadamente igual a 1,12 eV para o silício e 0,66 eV para o germânio.

Invertendo a equação 2.1, temos:

$$\frac{V}{\eta} = \phi_t \ln \left(\frac{I}{I_{sr}} \right) \quad (2.5)$$

Juntando nesse resultado a equação 2.4, temos:

$$\frac{V}{\eta} = \frac{E_g}{q} + \phi_t \ln \left(\frac{I}{k_x} \right) \quad (2.6)$$

k_x é um fator de escala independente da temperatura que pode ser extraído experimentalmente. Daí vemos que para uma corrente constante, a tensão sobre uma junção PN é uma grandeza CTAT cujo valor extrapolado a zero Kelvin é igual à tensão de bandgap do material.

2.2 Dados Experimentais

Vimos que a previsão do comportamento da tensão sobre a junção PN através da modelagem matemática é relativamente complexa e incerta, portanto, em uma primeira abordagem, os dados obtidos por medições são utilizados para estabelecer uma função matemática que descreva esta tensão em função da corrente de polarização e temperatura de operação.

Para tanto, foi realizado um procedimento simples de medição com o uso de uma câmara térmica e um analisador de parâmetros de semicondutores ¹, ambos disponíveis no laboratório. O analisador de parâmetros de semicondutores é capaz de, entre várias outras funcionalidades, traçar as curvas de corrente por tensão para o dispositivo com precisão adequada para este trabalho, em geral menor que milivolts e picoamperes. A câmara térmica utilizada possui um controlador PID, facilitando a tarefa de variar e estabilizar a temperatura do circuito sob teste.

O procedimento de medida pode durar várias horas, dependendo do tempo de estabilização permissível para obter-se medidas de boa qualidade. Para este trabalho, usou-se um tempo de 30 minutos após a temperatura escolhida ser atingida pela câmara térmica, para que dessa forma a hipótese de que todas as partes do circuito estão a uma determinada temperatura constante pudesse ser suportada.

¹Agilent 4156

Para o teste da junção PN, foi utilizado um transistor-diodo [10]. O dispositivo integrado para o teste é um transistor bipolar PNP vertical compatível CMOS, de dimensões $10 \mu m$ por $10 \mu m$, fabricado na tecnologia AMS $0,35 \mu m$.

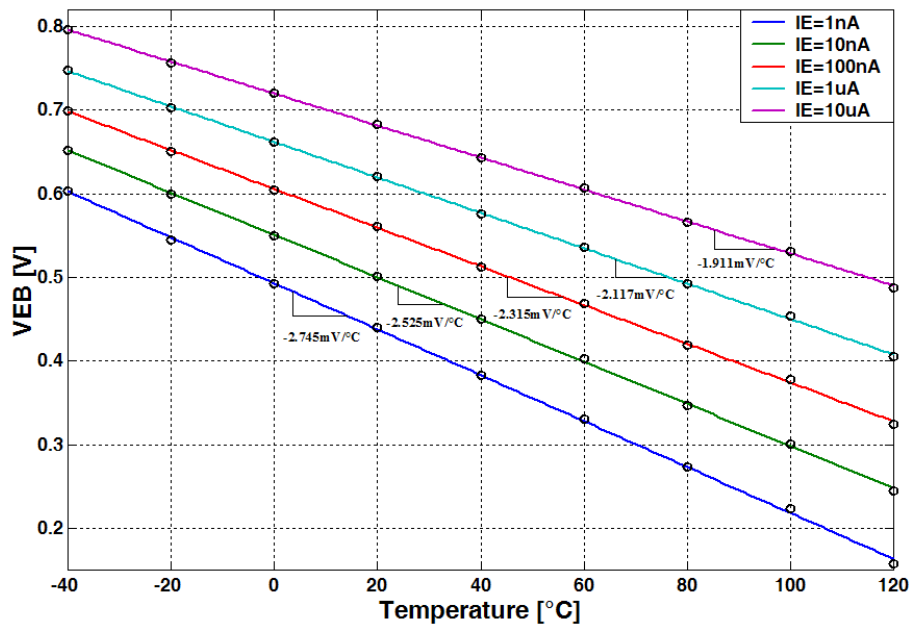


Figura 2.2: Comportamento da tensão sobre o transistor bipolar compatível CMOS em configuração diodo em função da temperatura para diversas correntes de polarização.

Os resultados do processo de caracterização podem ser vistos na figura 2.2, onde os pontos representam os dados experimentais e o traço é a aproximação por mínimos quadrados. As inclinações das curvas são mostradas abaixo dos traços, apresentando valores próximos a $-2 mV/K$. As correntes utilizadas variam de $1 nA$ a $10 \mu A$, variando logarithmicamente com um ponto por década..

Pode-se observar que correntes menores geram tensões menores sobre o dispositivo, porém apresentam inclinações maiores. Como a geração de uma referência de tensão requer que a inclinação das componentes CTAT e PTAT sejam iguais em módulo e opostas, operar com correntes menores requer a geração de tensões PTAT maiores.

A diferença de inclinação entre uma curva e outra é de aproximadamente $200 \mu V/K$, o que está de acordo com o esperado a partir da equação 2.6. Tomando a diferença entre as derivadas em função da temperatura, para uma corrente dez vezes maior que a outra, temos:

$$\frac{dV(10 * I)}{dT_a} - \frac{dV(I)}{dT_a} = \frac{k_B}{q} \ln(10) = 198,4 \mu V \quad (2.7)$$

A linearidade da curva é muito importante para a qualidade da referência de tensão produzida, já que os métodos aqui abordados não consideram a compensação de fatores quadráticos ou de ordens superiores. Vemos que a consistência entre os dados experimentais e a reta aproximada por mínimos quadrados é alta, mostrando que a aproximação linear é bastante precisa.

2.3 Tensão PTAT a Partir de Duas Junções PN

O circuito de referência de tensão apresentado nesse capítulo utiliza apenas dois transistores em configuração de diodo, que são fontes de tensão CTAT, porém, é possível obter desses dois componentes uma tensão PTAT.

Partindo do equação de Shockley para a junção PN, temos que:

$$V = \eta \phi_t \ln \left(\frac{I}{I_{sr}} + 1 \right) \quad (2.8)$$

Normalmente, a relação I/I_{sr} resulta num valor várias ordens de grandeza maior que a unidade, permitindo escrever esta relação na forma:

$$V = \eta \phi_t \ln \left(\frac{I}{I_{sr}} \right) \quad (2.9)$$

Em circuitos bipolares, uma tensão proporcional à temperatura absoluta pode ser obtida da diferença de tensão entre duas junções PN polarizadas com densidades de corrente diferentes. Se tomarmos esta diferença, denominando as tensões sobre duas junções hipotéticas de V_1 e V_2 , chegamos ao resultado 2.12.

$$V_{PTAT} = V_1 - V_2 \quad (2.10)$$

$$V_{PTAT} = \eta \phi_t \left(\ln \left(\frac{I_1}{I_{sr1}} \right) - \ln \left(\frac{I_2}{I_{sr2}} \right) \right) \quad (2.11)$$

$$V_{PTAT} = \eta \phi_t \ln \left(\frac{I_1 I_{sr2}}{I_2 I_{sr1}} \right) \quad (2.12)$$

Para o caso em que definimos uma relação fixa e invariável entre as correntes $N = I_1/I_2$ e uma relação entre as áreas da seção transversal das junções $M = A_2/A_1$, considerando as junções idênticas e à mesma temperatura, além de um fator de rampa unitário, temos:

$$V_{PTAT} = \phi_t \ln(NM) = \frac{k_B T_a}{q} \ln(NM) \quad (2.13)$$

A partir desse resultado, sabemos que é possível obter uma tensão PTAT através das tensões sobre junções PN operando com densidades de corrente diferentes. Observa-se também que quanto maior a diferença entre as correntes, maior é a inclinação da curva PTAT.

Podemos variar a corrente total circulando na junção PN ou variar a área dos transistores durante o projeto, o que frequentemente é feito pelo uso de estruturas de mesmas dimensões em paralelo. Caso o objetivo seja conseguir o maior valor possível para a inclinação da curva PTAT sem usar correntes excessivas ou ocupar uma área muito grande no layout do circuito, podemos variar as duas grandezas, por exemplo: fazendo um transistor dez vezes maior que o outro e operando com uma corrente dez vezes menor, obtemos um fator 100 entre as densidades de corrente.

A diferença entre as duas tensões pode ser tomada utilizando qualquer circuito, desde que este não afete a relação entre as correntes que circulam nas junções e funcione corretamente dentro das faixas de tensão necessárias para polarizar as junções. O circuito utilizado na topologia clássica apresentada nesse capítulo faz esta operação através de um amplificador operacional, mas existem outros circuitos mais simples que poderiam ser aplicados.

2.4 Uma Referência de Tensão de Bandgap

Antes de estudar referências de tensão no estado da arte, é interessante olhar para umas das estruturas clássicas utilizadas para essa tarefa, seu desempenho e seus defeitos.

O circuito de referência de tensão de bandgap, visto na figura 2.3, é simples do ponto de vista de projeto. Porém, como um dos componentes é um amplificador operacional, sua estrutura não é mínima, pois este componente requer um projeto a parte e apresenta um consumo que pode dominar o *budget* de energia do projeto.

A presença de resistores como elementos limitadores de corrente piora as características de eficiência do circuito, indo contra os requisitos de baixa potência e área tão visados atualmente. Além disso, a susceptibilidade do valor das resistências às variações do processo de fabricação introduz desvios no ponto de operação do circuito.

O princípio de funcionamento do circuito envolve o uso do amplificador operacional para estabelecer um ponto de operação para o circuito em que as tensões nas entradas inversora e não-inversora são iguais.

$$V_a = V_b \quad (2.14)$$

Como V_a é a tensão sobre o transistor-diodo Q_2 , a tensão que surge sobre o resistor R1 é igual à diferença entre as tensões sobre os transistores-diodo Q1 e Q2.

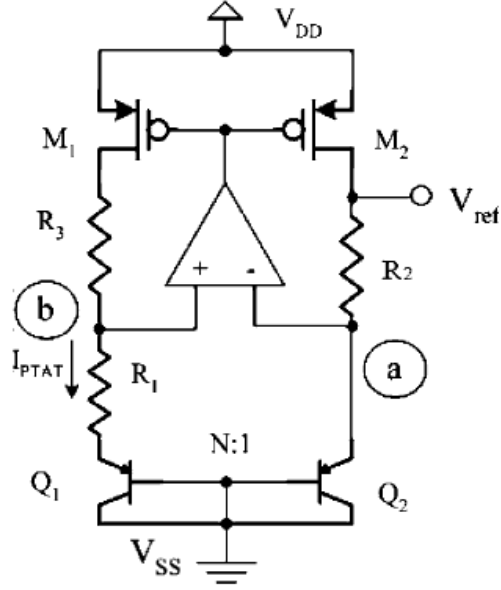


Figura 2.3: Topologia clássica usada para referências de tensão de bandgap

$$V_{R1} = V_{EB2} - V_{EB1} \quad (2.15)$$

Conforme mostrado após o desenvolvimento da equação 2.10, V_{R1} é uma tensão PTAT. Considerando um fator N entre as áreas de Q_1 e Q_2 , temos:

$$V_{R1} = \phi_t \ln \frac{N I_{C2}}{I_{C1}} \quad (2.16)$$

Se considerarmos que as resistências não apresentam nenhuma variação em função da temperatura, a corrente circulando no ramo esquerdo será uma corrente PTAT.

$$I_{PTAT} = \phi_t \frac{1}{R_1} \ln \frac{N I_{C2}}{I_{C1}} \quad (2.17)$$

Pela ação do espelho de corrente formado por $M1$ - $M2$, a corrente no ramo direito será uma versão escalada da corrente no ramo esquerdo, e sobre o resistor R_2 surgirá também uma tensão PTAT. Utilizando $S_2 = S_1$, temos:

$$V_{R2} = \frac{R_2}{R_1} \phi_t \ln(N) \quad (2.18)$$

A tensão de referência, denotada por V_{ref} , é igual a:

$$V_{ref} = V_{R2} + V_{EB2} \quad (2.19)$$

Como mostrado no estudo da junção bipolar, V_{EB2} será uma tensão CTAT. Ajustando os fatores R_1 , R_2 e N , podemos gerar uma tensão PTAT com uma inclinação igual em módulo mas oposta à inclinação da tensão V_{EB2} , produzindo uma tensão V_{ref} insensível à temperatura em primeira ordem.

Devido à dependência significativa que o ponto de operação do circuito apresenta em relação ao resistor R_1 e à variação relativamente elevada do valor de resistências fabricadas em circuitos integrados, esta célula pode apresentar variação elevada entre uma implementação e outra. Para tornar sua aplicação como referência de tensão satisfatória, podem ser necessárias técnicas complexas de calibração individual de cada circuito após a fabricação.

Convém notar que, diferentemente das medições feitas sobre o transistor bipolar como diodo, a corrente nesse caso não é constante. Isso dá origem a fatores de ordens superiores que não podem ser compensados pelas técnicas aqui abordadas, porém são de pequena amplitude.

Muitas das grandezas supostas lineares nesse trabalho possuem fatores de ordens superiores que irão surgir sobre a tensão de referência. Informações mais detalhadas a esse respeito podem ser obtidas em [12].

Capítulo 3

A Tensão de Limiar do Transistor MOSFET

O transistor MOSFET é amplamente utilizado em circuitos lógicos modernos. As tecnologias CMOS atuais permitem a fabricação de transistores de dimensões de algumas dezenas de nanômetros, utilizados em memórias e processadores no estado da arte.

A figura 3.1 mostra o corte simplificado do transistor MOSFET de canal N em um circuito integrado.

A condutância do canal pode ser controlada através da aplicação de tensão ao terminal V_G , que é isolado dos outros terminais pelo óxido, possibilitando a construção de amplificadores e portas lógicas com valores de impedância de entrada muito altos.

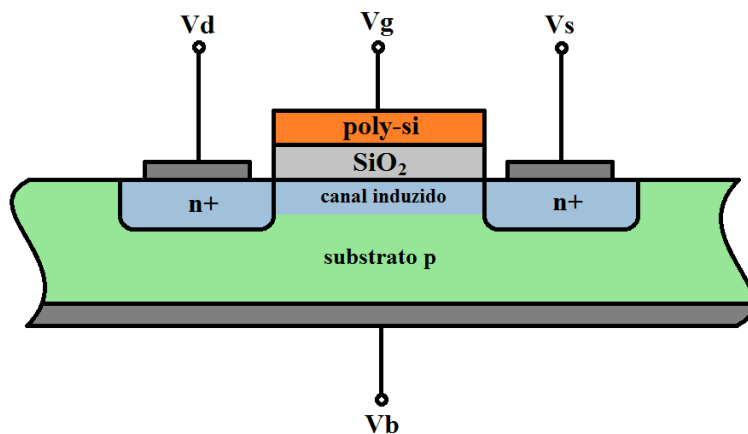


Figura 3.1: Corte transversal simplificado do transistor NMOS, fora de escala.

Existem dois parâmetros críticos para transistores MOSFET quando se deseja minimizar a tensão de operação; a tensão de limiar, V_{T0} , e a tensão de saturação dreno-fonte, V_{DS} .

Ao longo dos últimos anos, os limites máximos das tensões de alimentação das tecnologias de fabricação de circuitos integrados vêm reduzindo significativamente, atingindo valores próximos a 1 V.

A tensão de limiar, V_{T0} , tensão referida na porta para fixar uma determinada densidade de portadores no canal, não sofre o mesmo escalamento em transistores comuns, tendo aparentemente atingido uma barreira em valores pouco menores que 0,5 V. A redução da diferença entre a tensão de alimentação e a tensão de limiar dificulta o projeto de circuitos integrados, principalmente quando é necessário empilhamento de vários transistores.

Em face disso, nota-se a importância de conhecer o comportamento da tensão de limiar quando se deseja produzir circuitos operando em tensões ultra-baixas.

Tecnologias mais modernas oferecem transistores com estruturas diferenciadas, trazendo dispositivos com diferentes tensões de limiar, inclusive próximas a zero.

É importante notar que a definição da tensão de limiar é dependente do modelo utilizado para descrever o transistor; porém, frequentemente as diferentes definições resultam em valores muito próximos. No modelo ACM [6], a tensão de limiar, V_{T0} é definida como aquela em que a tensão de *pinch-off* é igual a zero, o que resulta num nível de inversão igual 3 para uma tensão de fonte igual a zero.

3.1 Modelagem Matemática

Conforme as equações do modelo ACM apresentadas no apêndice A, a tensão de *pinch-off*, para tensões de porta próximas à tensão de limiar, pode ser descrita pela diferença entre a tensão de porta e a tensão de limiar, dividida pelo fator de rampa.

Se considerarmos um nível de inversão direto fixo, $F(i_f)$ será uma constante. Juntando essa consideração ao resultado mostrado na equação A.12 e considerando a tensão de fonte igual a zero, temos uma equação que descreve a tensão de porta do transistor em função somente da temperatura e algumas constantes:

$$V_G = V_{T0} + n\phi_t F(i_f) \quad (3.1)$$

A tensão de limiar V_{T0} do transistor MOSFET é uma função aproximadamente linear da temperatura, apresentando um comportamento quase CTAT [8].

$$V_{T0}(T) \approx V_{T0}(T_0) - k_{T0}\phi_t \quad (3.2)$$

Reunindo estas equações em uma única equação, chegamos a um resultado importante:

Tabela 3.1: Resultados da caracterização por simulação do transistor MOS-FET canal N na tecnologia IBM 0,18 μm .

WxL [μm]	I_{SQ} [nA]	V_{T0} [mV]
1x50	136,6	365
1x1	135,3	400
1x0,18	134,8	520

$$V_G = V_{T0}(T_0) + \phi_t (nF(i_f) - k_{T0}) \quad (3.3)$$

k_{T0} deve ser obtido experimentalmente, através da derivação da curva aproximada por mínimos quadrados da medida de V_G para o transistor MOS-FET num nível de inversão constante igual a 3 [9], caso em que $V_G = V_{T0}$. Para um cálculo preliminar, o valor de $\frac{dV_{T0}}{dT_a}$ pode ser obtido do parâmetro k_{T1} do modelo BSIM3V3 [8].

$$k_{T0} = -\frac{k_B}{q} \frac{dV_{T0}}{dT_a} \quad (3.4)$$

A equação 3.3 mostra que a tensão de porta de um transistor, em um nível de inversão definido, possui dependências complementares em temperatura. Existe um valor para o nível de inversão em que estas dependências se cancelam, ficando a tensão de porta constante em função da temperatura.

3.2 Extração de Parâmetros

Através do método descrito em [9], foram extraídos os parâmetros I_{SQ} e V_{T0} no transistor NMOS na tecnologias IBM 0,18 μm . O procedimento foi realizado por simulação através do software da Cadence utilizando o modelo BSIM3V3, resultando na tabela abaixo.

É importante observar a redução da tensão de limiar para comprimentos de canal maiores. O valor mínimo da tensão de alimentação do circuito, um dos fatores mais importantes desse trabalho, é altamente dependente da tensão de limiar.

A figura 3.2 dá uma idéia da variação da tensão de limiar quando o comprimento de canal reduz a valores próximos do canal mínimo. Daí vemos que a redução das dimensões do circuito pode acarretar na necessidade de tensões maiores para seu funcionamento.

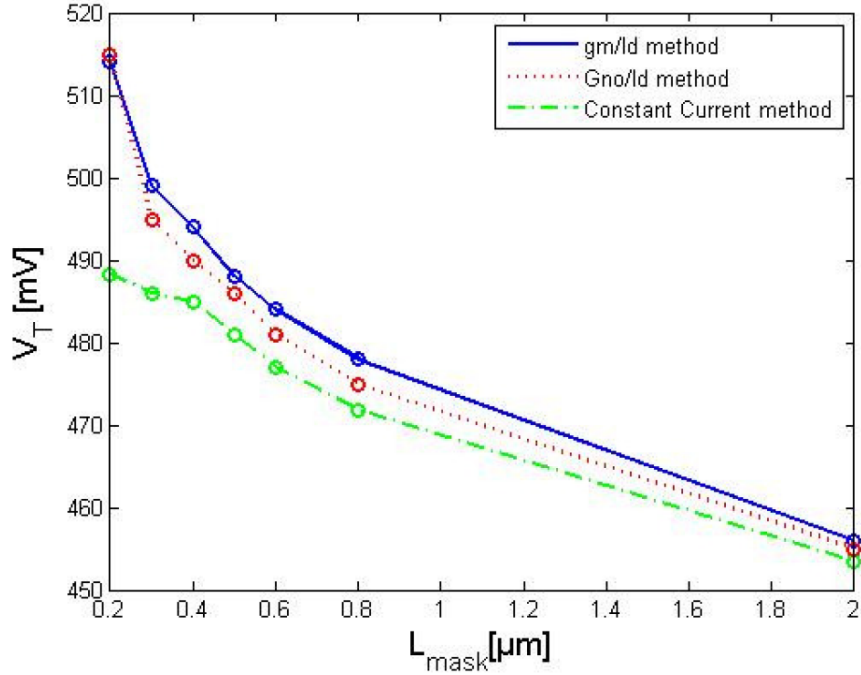


Figura 3.2: Comportamento da tensão de limiar em função do comprimento de canal na tecnologia TSMC 0,18 μm . Fonte: [9].

3.3 Dados Experimentais

De maneira semelhante ao experimento realizado com transistores bipolares (ver seção 2.2), um transistor MOSFET também pode ser ligado na configuração de diodo. Nesse caso, a tensão que surgirá sobre ele quando submetido a uma determinada corrente será uma função da tensão de limiar do transistor V_{T0} .

Com base nisso, foi realizada a caracterização em câmara térmica de um transistor MOSFET integrado na tecnologia TSMC 0,35 μm , na configuração diodo com tensão de bulk e source iguais a zero. O dispositivo sob teste consiste num conjunto de 8 transistores NMOS em paralelo, cada um com largura de canal $L = 1 \mu\text{m}$ e comprimento $W = 8 \mu\text{m}$, resultando numa razão de aspecto $S = 64$.

A caracterização foi feita utilizando o analisador de parâmetros de semicondutores Agilent 4156, injetando corrente no dreno do transistor e medindo a tensão resultante.

Se a corrente de dreno for tal que mantenha o transistor saturado e em um nível de inversão direto igual a 3, temos que $F(i_f) = 0$ (ver equação A.5). Usando esse resultado na equação A.12, vemos que a tensão que surge na porta do transistor MOSFET é igual à tensão de limiar. Para o caso em

que $F(i_f) \neq 0$, surgirá uma componente PTAT somada sobre a tensão de limiar.

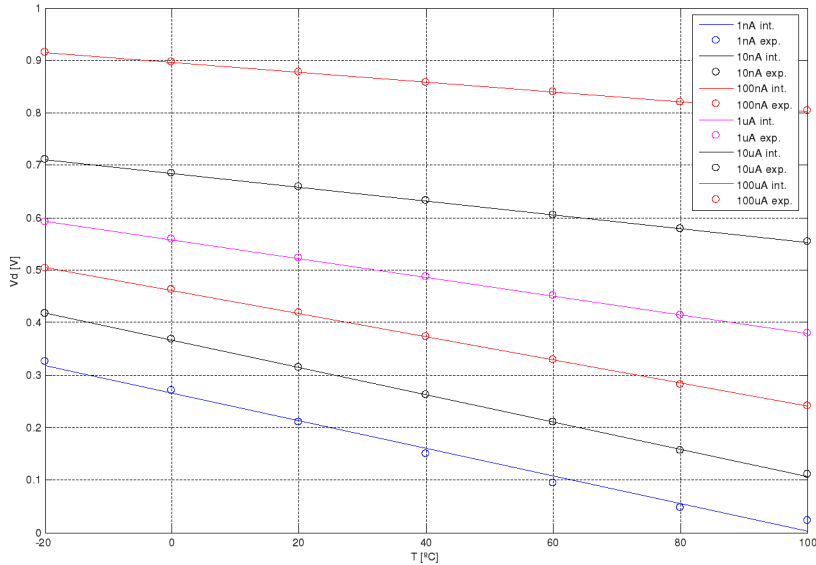


Figura 3.3: Medidas extraídas para o comportamento em temperatura da tensão de porta do transistor NMOS sob corrente constante.

O resultado visto na figura 3.3 comprova a consideração feita na equação 3.2, além de permitir a extração do parâmetro k_{T0} para uso no projeto de uma referência de tensão. Os círculos representam os dados experimentais e a linha é a aproximação por mínimos quadrados. São utilizadas correntes de 1 nA a $100\text{ }\mu\text{A}$, variando logarithmicamente com um ponto por década. Observa-se um alto nível de linearidade nos dados experimentais, já que há pouco desvio entre as medidas e a aproximação linear.

Para correntes muito baixas, na ordem de alguns nanoamperes, as curvas passam a perder linearidade, possivelmente devido a correntes de fuga nos elementos parasitários inerentes à construção do transistor.

3.4 O Transistor ZVT

Transistores de efeito de campo apresentando valores de tensão de limiar baixos ou nulos representam dispositivos de interesse no projeto de circuitos de referência de tensão. Com estes dispositivos, pode-se atingir tensões de operação muito menores do que se obteria com transistores comuns em uma mesma tecnologia de fabricação.

Alguns trabalhos já fizeram uso do ZVT para gerar referências de tensão

de ultra-baixa potência [4], porém apresentam estruturas pouco versáteis ou piores características de sensibilidade à alimentação ou temperatura.

A abordagem tomada para extração do comportamento da tensão de limiar em função da temperatura envolveu a configuração do circuito mostrado na figura 3.4.

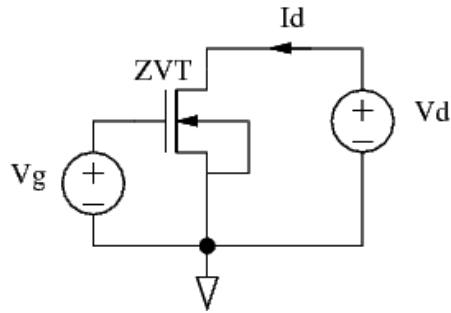


Figura 3.4: Esquemático do circuito usado para as medidas do transistor Zero- V_{T0} .

Esse experimento difere daqueles realizados para caracterização dos transistores bipolares e NMOS comuns devido ao fato de que a tensão de limiar pode não ser suficiente para manter o dispositivo em saturação. O experimento também pode ser feito na configuração de diodo, mas para garantir a saturação e, portanto, a relação $i_f = I_D/I_S$, é necessário aplicar uma segunda tensão ao dreno do transistor.

O transistor utilizado nesse teste consiste num array de 5 transistores em paralelo com $W = 5 \mu m$ e $L = 480 nm$. O dispositivo foi implementado na tecnologia IBM $0,13 \mu m$ e o layout pode ser visto na figura 3.5.

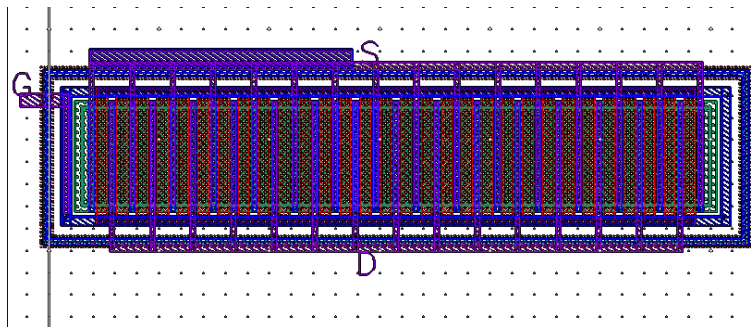


Figura 3.5: Layout do transistor ZVT utilizado no teste. Tecnologia IBM $0,13 \mu m$.

Observa-se na figura 3.6 que em níveis de inversão constantes moderados e fracos, o ZVT é uma fonte de tensão CTAT. Em níveis de inversão maiores, a tensão sobre o dispositivo aumenta com a temperatura.

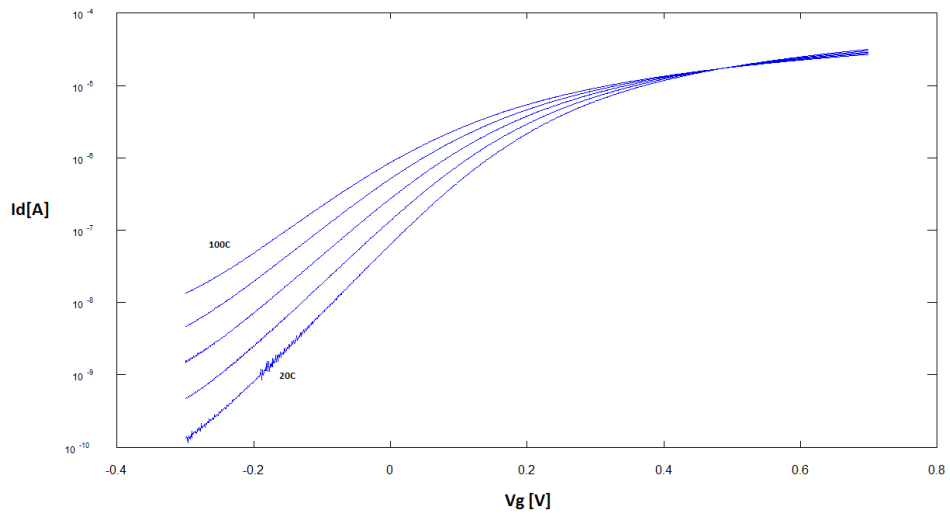


Figura 3.6: Medidas extraídas para comportamento em temperatura do transistor Zero- V_{T0} .

Capítulo 4

Blocos Construtivos

4.1 O Transistor MOSFET Self-Cascode

As características de tensão por corrente do SCM (*Self-Cascode MOSFET*), são apropriadas para aplicação em circuitos de referência de corrente [7] ou fonte de tensão PTAT sub-100mV.

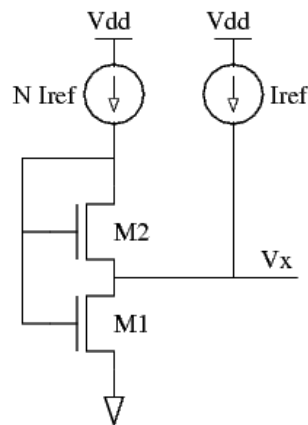


Figura 4.1: Esquemático do Self-Cascode MOSFET montado na configuração de diodo.

Nesse trabalho, o SCM é aplicado para definir o ponto de operação do circuito forçando um valor para V_x que produz níveis de inversão conhecidos nos transistores M1 e M2. Além disso, sem a injeção de uma corrente auxiliar no nó intermediário, o SCM é equivalente a uma associação série de transistores, podendo ser usado para produzir um transistor com relação de aspecto muito baixa.

4.1.1 Equacionamento

Usando as equações do modelo ACM e algumas aproximações, chegamos a expressões simples para as tensões e correntes nos dois transistores da pilha. Inicialmente, observa-se que os dois transistores operam com a mesma tensão de porta e, se forem suficientemente semelhantes, apresentam a mesma tensão de limiar V_{T0} . Assumir que os dois dispositivos apresentam a mesma tensão de limiar, significa assumir que os dois transistores têm o mesmo comprimento de canal, a mesma temperatura e não apresentam variações de processo como diferentes níveis de dopagem, por exemplo.

$$V_{P1} = V_{P2} = V_P \quad (4.1)$$

O transistor superior opera em saturação, condição garantida pela sua configuração diodo, já que a tensão de limiar é cerca de 3 a 5 vezes maior que a tensão de saturação. Nesse caso, podemos desconsiderar a corrente reversa em relação à corrente direta, ficando a corrente de dreno descrita somente por:

$$I_{D2} = I_{SQ} S_2 i_{f2} \quad (4.2)$$

O mesmo não é válido para o transistor inferior, que opera na região triodo. Nesse caso, precisamos considerar a corrente reversa, ficando a corrente de dreno descrita por:

$$I_{D1} = I_{SQ} S_1 (i_{f1} - i_{r1}) \quad (4.3)$$

S_1 e S_2 são as razões de aspecto dos transistores inferior e superior, respectivamente.

Aplicando A.5, obtemos do transistor superior:

$$V_P - V_x = \phi_t F(i_{f2}) \quad (4.4)$$

E do transistor inferior, para os níveis de inversão direto e reverso, respectivamente:

$$V_P = \phi_t F(i_{f1}) \quad (4.5)$$

$$V_P - V_x = \phi_t F(i_{r1}) \quad (4.6)$$

Substituindo 4.5 em 4.4, chegamos a uma relação para a tensão V_x no nó intermediário do SCM.

$$V_x = \phi_t (F(i_{f1}) - F(i_{f2})) \quad (4.7)$$

O nível de inversão reverso do transistor inferior é igual ao nível de inversão direto do transistor superior em qualquer condição de operação.

$$i_{r1} = i_{f2} \quad (4.8)$$

Portanto:

$$I_{D1} = I_{SQ} S_1 (i_{f1} - i_{f2}) \quad (4.9)$$

No SCM mostrado na figura 4.1, as correntes de dreno são dadas por:

$$I_{D2} = N I_{ref} \quad (4.10)$$

$$I_{D1} = (N + 1) I_{ref} \quad (4.11)$$

Assim, temos a seguinte relação para as correntes de dreno dos transistores M1 e M2:

$$(N + 1) I_{D2} = N I_{D1} \quad (4.12)$$

Juntando neste resultado as equações 4.2 e 4.9, temos:

$$(N + 1) S_2 i_{f2} = N S_1 (i_{f1} - i_{f2}) \quad (4.13)$$

Daí temos que o nível de inversão do transistor M2 será igual ao nível de inversão do transistor M1 escalado pelas razões de aspecto dos dois transistores e pela relação entre as correntes de polarização.

$$i_{f1} = M i_{f2} \quad (4.14)$$

sendo a constante M dada por:

$$M = 1 + \frac{S_2}{S_1} \left(1 + \frac{1}{N} \right) \quad (4.15)$$

Retornando à equação 4.7 e adicionando este resultado, podemos escrever:

$$V_x = \phi_t (F(M i_{f2}) - F(i_{f2})) \quad (4.16)$$

Vemos de (4.16) que o transistor SCM pode ser usado para gerar uma tensão PTAT, desde que o nível de inversão seja constante. Porém, usando a aproximação para inversão fraca para o caso em que os transistores operam com níveis de inversão muito baixos, podemos reescrever a equação da seguinte maneira:

$$V_x = \phi_t \ln M \quad (4.17)$$

A partir desse resultado, vemos que quando é garantida a condição de inversão fraca, o SCM pode ser usado para gerar uma tensão PTAT conhecida, inclusive com nível de inversão variável. Como o fator de escala

não depende de nada além de constantes físicas e das razões de aspecto dos transistores utilizados, a variação de V_x em função da temperatura pode ser precisamente programada.

Por outro lado, podemos fixar a tensão V_x através de um circuito auxiliar, caso em que o SCM passa a funcionar com uma fonte de corrente.

4.2 Espelho de Corrente Seguidor de Tensão

Este circuito pode ser utilizado para copiar uma tensão de um ponto do circuito para outro, polarizar dispositivos em corrente além de gerar uma tensão PTAT [7].

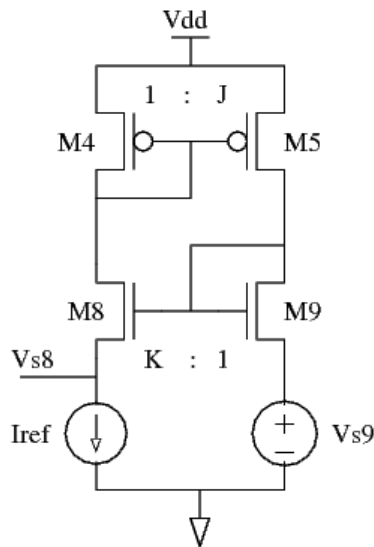


Figura 4.2: Esquemático do espelho de corrente seguidor de tensão.

A ação do espelho de corrente M4-M5 impõe um fator de escala J entre as correntes de dreno dos transistores M8 e M9, definido pela razão S_5/S_4 . As duas tensões de porta são iguais, forçando tensões de fonte iguais para transistores com níveis de inversão iguais ou o surgimento de um *offset* conhecido entre V_{S8} e V_{S9} , determinado pela diferença entre os níveis de inversão i_{f8} e i_{f9} .

O espelho de corrente seguidor de tensão será frequentemente chamado nesse trabalho pela sigla VFCM, do inglês, *Voltage Following Current Mirror*.

4.2.1 Equacionamento

Com base no modelo ACM para o transistor MOSFET de canal longo, foram estabelecidas as equações que descrevem o comportamento do VFCM.

Desconsiderando possíveis efeitos de descasamento no espelho de corrente formado pelos transistores M4 e M5, descrevemos a corrente no ramo direito como uma cópia escalada da corrente no ramo esquerdo. Da análise do circuito, sabemos que o fator de escala J é dado pela razão das razões de aspecto dos dois transistores.

Convém notar que esta afirmação é embasada na operação do circuito do espelho de corrente em saturação, condição que deve ser garantida ao longo de toda a faixa de operação.

$$I_{D9} = JI_{D8} \quad (4.18)$$

A partir disso, podemos calcular a razão entre os níveis de inversão dos transistores inferiores do VFCM, i_{f8} e i_{f9} . Considerando a razão entre as razões de aspecto dos dois transistores inferiores dada por K e igual a S_8/S_9 , temos:

$$i_{f9} = JK i_{f8} \quad (4.19)$$

As tensões de *pinch-off* dos dois transistores são descritas por:

$$V_{P8} = V_{S8} + \phi_t F(i_{f8}) \quad (4.20)$$

$$V_{P9} = V_{S9} + \phi_t F(i_{f9}) \quad (4.21)$$

Observando que os dois transistores operam com a mesma tensão $V_P = V_{P8} = V_{P9}$, podemos escrever a tensão na fonte do transistor M8 em função da tensão na fonte do transistor M9.

$$V_{S8} + \phi_t F(i_{f8}) = V_{S9} + \phi_t F(i_{f9}) \quad (4.22)$$

A partir desse resultado e da equação 4.19, temos:

$$V_{S8} = V_{S9} + \phi_t (F(JK i_{f8}) - F(i_{f8})) \quad (4.23)$$

O mesmo resultado, considerando a aproximação para inversão fraca descrita na página 40, pode ser escrito como:

$$V_{S8} = V_{S9} + \phi_t \ln(JK) \quad (4.24)$$

Daí temos que, de maneira semelhante ao SCM, o VFCM pode ser usado para gerar uma tensão PTAT que só depende de constantes físicas, das relações de aspecto dos transistores e das correntes de polarização.

É importante lembrar que, de maneira semelhante às considerações feitas nos cálculos do SCM, estes resultados só são válidos para transistores casados, com mesmo comprimento de canal e temperatura de operação.

4.2.2 Simulação

Para verificação do resultado obtido na equação 4.23, foi realizada uma simulação do circuito do VFCM através do software da Cadence.

De imediato, nota-se que o valor simulado encontra-se ligeiramente acima do valor teórico.

O comportamento da tensão V_x para o conjunto operando em inversão fraca, de acordo com as simulações, tem a forma aproximada:

$$V_x = A\phi_t + B \quad (4.25)$$

A figura 4.3 mostra o resultado da simulação do VFCM usado nesse projeto, com os valores $J = 10$ e $K = 10$. Para estes resultados, pode-se usar as aproximações $A = \ln(JK)$ e $B = B(I_{ref})$, onde B deve ser encontrado por simulação para a corrente de operação escolhida.

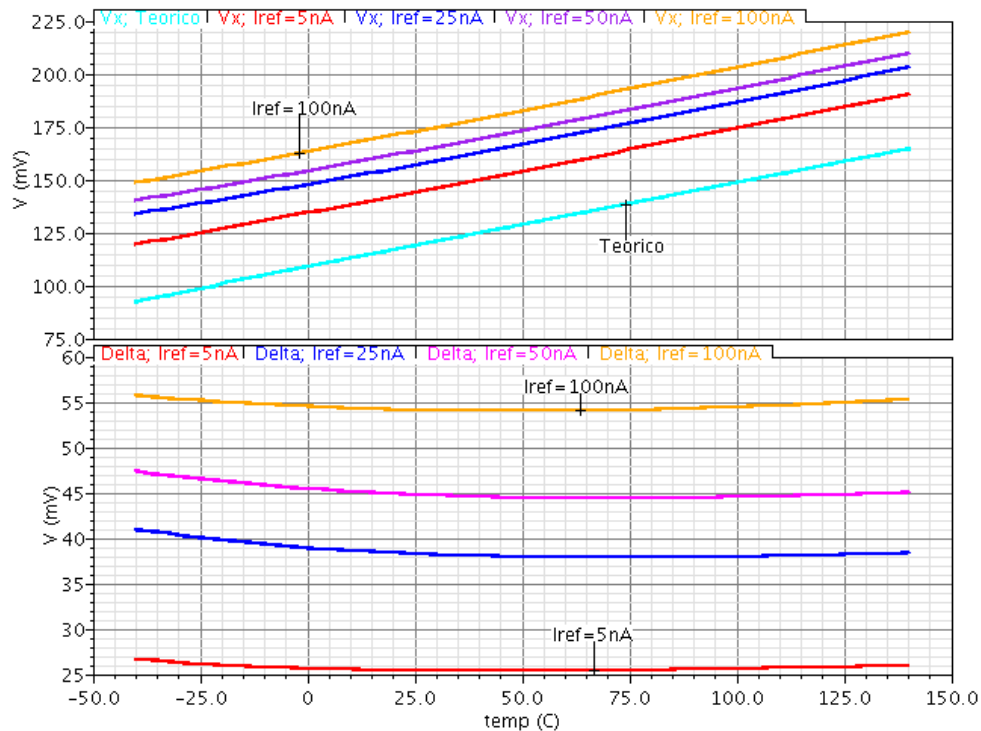


Figura 4.3: Resultado da simulação do VFCM em comparação à teoria.

A origem destas divergências entre os cálculos e os valores provenientes das simulações não foi definida ao certo, mas pode ser resultado de inúmeros fatores como imperfeições no modelo de simulação, efeitos de elementos parasitários não considerados, etc..

Capítulo 5

Projeto de Uma Referência de Tensão Sub-1V

A partir dos blocos construtivos apresentados no capítulo anterior, podemos construir um circuito de referência de tensão ou corrente puramente CMOS.

A topologia mostrada na figura 5.1 foi utilizada em diferentes trabalhos [7, 8] para se produzir circuitos de referência de tensão ou corrente operando com baixas potências e baixas tensões de alimentação.

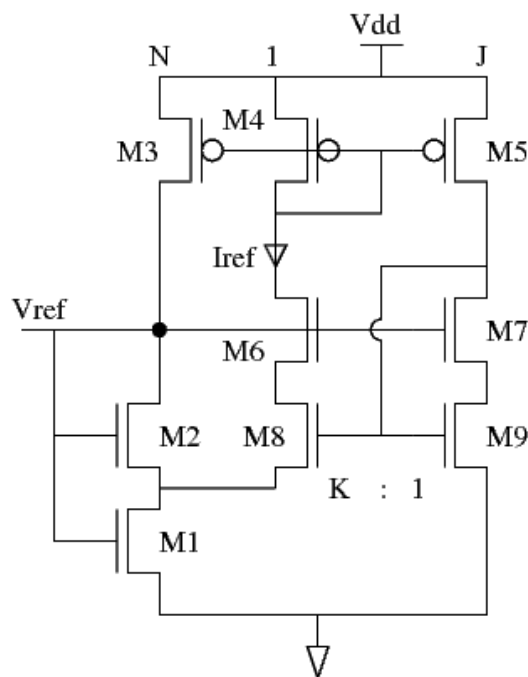


Figura 5.1: Esquemático do circuito usado para referência de tensão.

As correntes circulando nos ramos do espelho de corrente são proporcionais à corrente específica para qualquer ponto de operação [7], com um fator de escala que depende das dimensões dos transistores. Isso implica num nível de inversão constante para todos os transistores do circuito, qualquer que sejam as dimensões utilizadas, desde que o circuito seja estável. É possível estabelecer um ponto de operação em que a tensão sobre o SCM, indicada por V_{ref} , é independente da temperatura [8].

5.1 Análise

O princípio de operação do circuito envolve o uso do VFCM para estabelecer um ponto de operação para o SCM. O ponto de operação define os níveis de inversão nos transistores do SCM, definindo, por consequência, todas as correntes do circuito. Se o VFCM não sair da inversão fraca, a tensão produzida por ele não depende da corrente de polarização.

Os transistores M6 e M7 são utilizados apenas para estabilizar a tensão de dreno dos transistores M8 e M9, respectivamente. Suas dimensões não afetam significativamente o ponto de operação do circuito, porém sua aplicação reduz a sensibilidade da tensão de referência à variação da tensão de alimentação.

5.1.1 Ponto de Operação

A equação 4.16 permite calcular os níveis de inversão dos transistores M1 e M2 quando a tensão V_x aplicada no nó intermediário é conhecida. Igualando esse resultado à equação 4.23, obtem-se:

$$\phi_t (F(Mi_{f2}) - F(i_{f2})) = V_{S9} + \phi_t (F(JKi_{f8}) - F(i_{f8})) \quad (5.1)$$

Para a topologia utilizando o terminal fonte do transistor M9 aterrado, a equação pode ser simplificada:

$$F(Mi_{f2}) - F(i_{f2}) = F(JKi_{f8}) - F(i_{f8}) \quad (5.2)$$

Escolhendo valores para as constantes M, N, J, K e os níveis de inversão i_{f2} e i_{f8} , podemos definir um ponto de operação para o circuito. Porém, o cálculo precisa ser feito por métodos computacionais, já que a equação descrita é bastante complexa e não-linear. É importante notar que esta equação pode não ter uma solução prática. Para que haja cruzamento entre as curvas $F(Mi_{f2}) - F(i_{f2})$ e $F(JKi_{f8}) - F(i_{f8})$, os níveis de inversão precisam obedecer certas regras. De uma maneira geral, observa-se por simulação que um cruzamento estável é obtido quando um dos pares de transistores opera em inversão fraca e o outro opera em inversão moderada ou forte.

A partir desse resultado, foi definido que os transistores M8 e M9 devem operar em inversão fraca e o SCM em inversão moderada. Essa escolha é vantajosa para produzir um circuito de baixa potência por dois motivos: a taxa de queda da tensão de limiar do MOSFET é menor para níveis de inversão maiores, sendo necessária uma tensão de compensação menor, além disso, a tensão de limiar para transistores de canal longo é menor na tecnologia utilizada.

As considerações feitas após a simulação do VFCM, porém, mostram que é mais apropriado estabelecer o ponto de simulação do circuito a partir do valor de V_x obtido por simulação.

$$F(Mi_{f2}) - F(i_{f2}) = \frac{V_x}{\phi_t} \quad (5.3)$$

A escolha das constantes J e K é baseada na tensão V_x necessária para compensar a queda da tensão de limiar nos transistores M1 e M2. Para o nível de inversão escolhido $i_{f2} = 10$, observou-se o valor necessário para o produto $JK = 100$.

É importante notar que o valor de V_x gerado pelo VFCM irá apresentar uma componente constante em relação à temperatura, fazendo com que os transistores do circuito não operem com nível de inversão constante em função da temperatura. Ainda assim, conhecendo o comportamento de V_x , podemos definir o nível de inversão à temperatura ambiente.

A partir da simulação do VFCM, foi encontrado um valor para $V_x = 145$ mV na temperatura ambiente. Com esse resultado, a solução de (5.3) produz um valor para $M \approx 6$.

5.1.2 Sensibilidade à Variação da Tensão de Alimentação

A estabilidade da tensão de referência frente às variações da tensão de alimentação pode ser estimada em função das impedâncias de saída dos transistores. O valor de V_{ref} pode ser afetado tanto pela variação do ponto de operação do circuito quanto pela variação da corrente fornecida pelo espelho de corrente.

Modelando os transistores em regime permanente como fontes de corrente com impedância de saída finita, vemos que a sensibilidade da tensão de referência é inversamente proporcional à impedância de saída dos transistores. Logo, quanto maior o comprimento de canal dos transistores do circuito, melhor será a rejeição à variação da tensão de alimentação. Porém, para manter uma área reduzida para o circuito, é importante evitar canais excessivamente longos.

A análise detalhada de sensibilidade é relativamente complexa e incerta, portanto os valores foram inferidos por simulação. O critério utilizado foi baseado na variação em temperatura, ou seja, as variações em função da

tensão de alimentação deveriam ser menores, porém de mesma ordem, que aquelas em função da temperatura.

Devido à sensibilidade do ponto de operação do circuito às variações de V_x , foi utilizado um par auxiliar de transistores (transistores M6 e M7) para fixar a tensão no dreno dos transistores M8 e M9. Isso garante uma redução de ordens de grandeza na sensibilidade de V_{ref} a Vdd.

5.1.3 Mínima Tensão de Operação

Como foi dito no início do capítulo 3, a mínima tensão de operação depende primariamente de dois fatores, a tensão de saturação e a tensão de limiar dos transistores.

Existem dois ramos críticos para a mínima tensão de operação, o esquerdo e o central (ver figura 5.1). Do ramo esquerdo vemos que, para garantir a saturação dos transistores M3, e portanto, a relação $N = 10$, precisamos atender:

$$Vdd > V_{ref} + V_{sat_{M9}} \quad (5.4)$$

e do ramo central, observamos que a tensão de alimentação deve ser suficiente para saturar os transistores M6 e M8, além de acionar M4:

$$Vdd > V_x + V_{sat_{M6}} + V_{sat_{M8}} + V_{T0_{PMOS}} \quad (5.5)$$

Como todos os valores que afetam o valor mínimo de Vdd dependem da temperatura de formas diferentes, o valor de Vdd_{min} não é fixo. Porém, na segunda equação temos dependências complementares, que acabam compensando a dependência de Vdd_{min} da temperatura em um certo grau.

A tensão de saturação é menor para níveis de inversão menores, tornando vantajoso operar com correntes reduzidas. Porém $V_{DS_{sat}}$ não diminui indefinidamente com o nível de inversão, estabilizando próximo ao valor de $4\phi_t$ assim que a condição de inversão fraca é atingida.

Nessa tecnologia, a tensão de limiar é menor para transistores de canal longo, portanto é vantajoso utilizar canais de comprimentos maiores que o valor mínimo da tecnologia para obter reduções sensíveis na tensão de limiar, conforme pode ser observado na seção 3.2.

5.2 Calibração

As variações aleatórias decorrentes do processo de fabricação do circuito de referência afetam o valor da tensão de referência, podendo mover o ponto de operação do circuito para uma região de sobrecompensação ou subcompensação. Em sobrecompensação, a variação da tensão PTAT gerada é

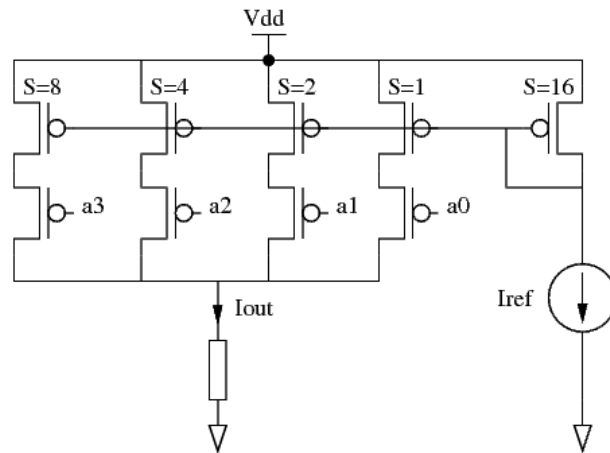


Figura 5.2: Esquemático do espelho de corrente controlável de 4 bits.

maior do que a variação da tensão $CTAT$, fazendo com que a tensão de referência aumente com a temperatura. Em subcompensação, o oposto ocorre e a tensão de referência reduz com o aumento da temperatura.

Estas variações, embora imprevisíveis durante a etapa de projeto, podem ser medidas e compensadas após a fabricação do circuito. Inúmeras técnicas podem ser aplicadas para controle dos parâmetros do circuito a fim de corrigir seu ponto de operação após a fabricação, porém a maioria delas é custosa e só é aplicada quando é necessária uma referência de excelente qualidade.

Ajustes a laser são comuns para alterar dimensões de componentes como resistores ou desativar partes do circuito definitivamente. Outra possibilidade, que será apresentada a seguir, é de acionar e desacionar ramos de corrente através de controles digitais, aumentando ou reduzindo a corrente total em um determinado dispositivo.

A estrutura mostrada na figura 5.2 mostra um espelho de corrente controlável de 4 bits, que pode ser usado no lugar de, ou em paralelo com, transistores do espelho de corrente do circuito, possibilitando o controle do fator de escala da corrente em um ou mais ramos do circuito através de palavras digitais. Esse método pode ser usado para controlar as constantes J e N , por exemplo.

As tensões a_n nas portas dos transistores mostrados podem ser chaveadas de zero a V_{dd} por fusíveis ou circuitos digitais. O valor da corrente de saída I_{out} será uma fração da corrente de referência, com 16 valores possíveis igualmente espaçados.

Apesar de acrescentar a possibilidade de controle ao espelho de corrente, o empilhamento de transistores aumenta a tensão mínima necessária para saturação do grupo. A tensão mínima de operação do circuito pode aumentar se esta estrutura for utilizada em um dos ramos críticos. Isso pode ser

Tabela 5.1: Dimensões dos transistores usados no projeto.

Transistor	WxL [μm]
M1	0,22x30
M2	0,8x30
M9	2x2
M8	(2x2) x 10
M4	10x10
M3,M5	(10x10) x 10
M6,M7	2x2

evitado se outras técnicas forem utilizadas para abrir ou fechar os ramos de corrente, como fusíveis que poderiam ser queimados por laser.

5.3 Resultados

O circuito foi construído na tecnologia IBM 0,18 μm . Para uma corrente de referência de aproximadamente 8 nA , após ajustes por meio do simulador, as dimensões dos transistores são mostradas na tabela.

Para validação do projeto, o circuito foi simulado pelo software da Cadence utilizando dados de *design kits* fornecidos pela MOSIS, empresa que oferece serviços de produção de circuitos integrados em rodadas multi-projetos. Foi utilizado o modelo BSIM3V3 em todos os testes.

Assim que o circuito atinge a tensão mínima para saturação e acionamento dos transistores, as tensões e correntes ficam aproximadamente constantes em função da tensão de alimentação. A variação da tensão de referência em função da variação da tensão de alimentação medida, para a temperatura ambiente, foi menor que 0,9 mV/V .

Variações na tensão de referência, supondo o circuito perfeitamente compensado, são devidas na maior parte aos fatores de segunda ordem causados pela variação da temperatura. A figura 5.3 mostra que o comportamento da tensão de referência em função da temperatura tem a forma aproximada de uma parábola, cujo mínimo depende dos fatores usados para compensação. Nesse trabalho, o vértice da parábola foi colocado próximo a 50 graus Celsius, com o objetivo de minimizar o erro da referência para a faixa de operação de 0 a 100 graus Celsius.

Considerando a variação da alimentação de 700 mV a 1,8 V e da temperatura de zero a 100 graus Celsius, o valor máximo da tensão de referência é de 666,8 mV e o mínimo é de 663,0 mV , resultando numa média de 664,9 mV e erro de 1,9 mV , ou seja, variação de 0,29 por cento para mais ou para menos. Porém estes resultados são para a referência de tensão perfeitamente

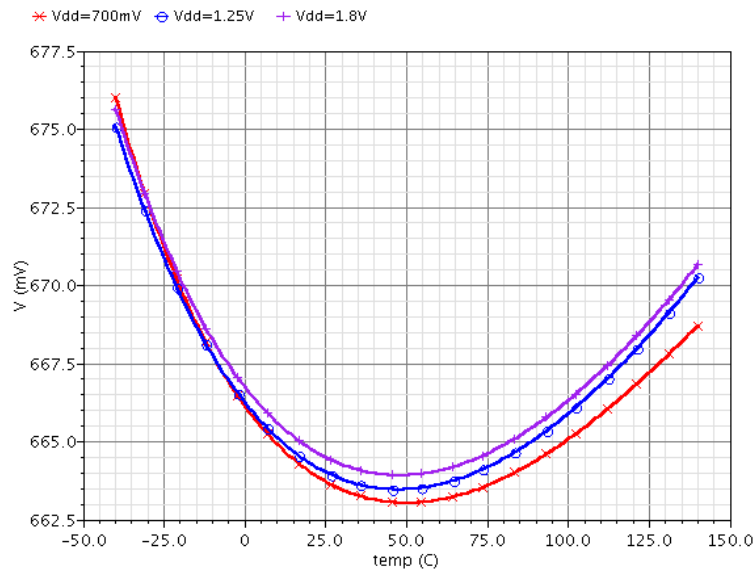


Figura 5.3: Tensão de referência em função da temperatura para diferentes tensões de alimentação.

compensada, condição que não pode ser garantida após a fabricação do circuito, mas pode ser obtida com maior proximidade através das técnicas de calibração discutidas na seção 5.2.

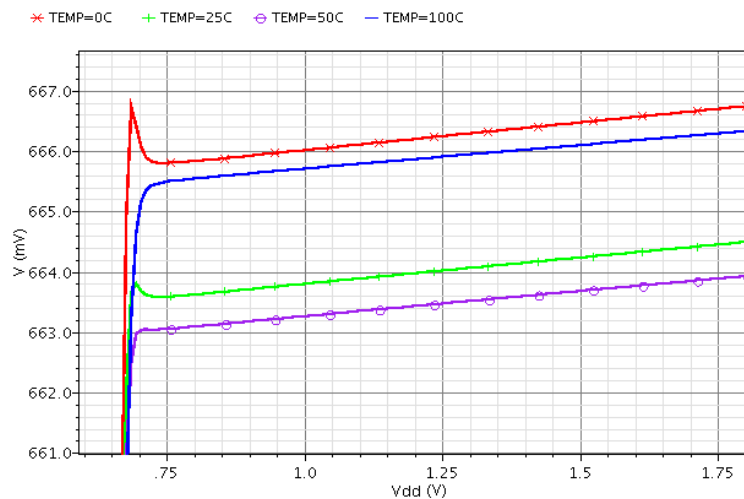


Figura 5.4: Tensão de referência em função da tensão de alimentação para diferentes temperaturas.

Vemos na figura 5.5 uma significativa estabilidade das correntes do circuito em função da variação de temperatura e tensão de alimentação. Isso

possibilita a aplicação do circuito como, além de uma referência de tensão, também uma referência de corrente para polarizar outras estruturas.

As relações $J = N = 10$ podem ser observadas claramente para tensões Vdd acima de 0,7 V, quando os transistores do espelho de corrente estão saturados. Abaixo desse valor as correntes variam em função da tensão de alimentação e o circuito deixa de ser uma referência de tensão ou corrente.

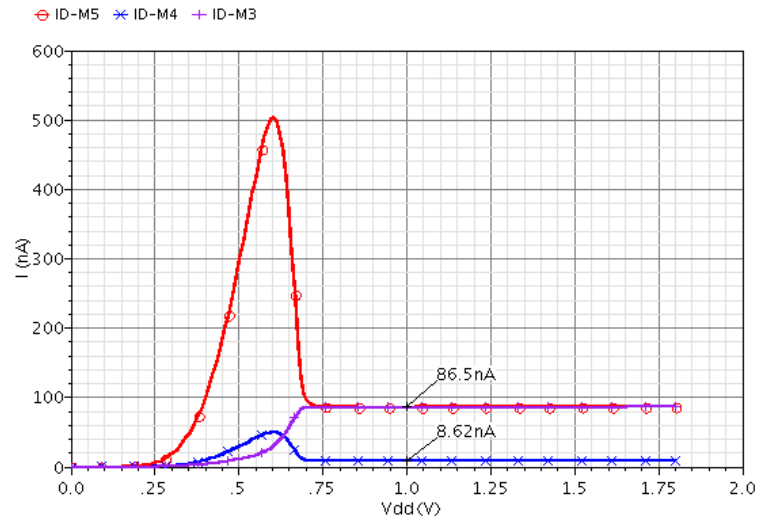


Figura 5.5: Correntes nos ramos do espelho de corrente em função da tensão de alimentação.

Capítulo 6

Conclusões

Os resultados obtidos por simulação mostram boas características do circuito projetado ao longo de toda a faixa de operação, mostrando que é possível obter circuitos de referência com características de eficiência e custo superiores às topologias clássicas através de projetos puramente CMOS.

A introdução dos transistores M6 e M7 para melhoria de rejeição à variação da tensão de alimentação foi muito importante para se obter uma estabilidade aceitável na tensão de referência, mostrando que essa é uma melhoria importante em relação ao trabalho realizado em [7]. Além disso, com a estrutura de calibração apresentada, pode-se ajustar o vértice da parábola observada na tensão de referência para um ponto médio dentro da faixa de operação, possibilitando a obtenção de uma excelente referência de tensão.

Foi observada a importância do conhecimento de modelos analíticos para o transistor, que auxiliam no estabelecimento de equações para o circuito e otimização de área, potência e tensão de operação do projeto final, porém ainda são necessária várias etapas de caracterização dos componentes específicos de cada tecnologia para conclusão do trabalho.

As divergências entre simulação e valores calculados deixam dúvidas que poderiam ser resolvidas através da fabricação de protótipos. Seria possível integrar o projeto em uma das rodadas multi-projetos oferecidas pela MO-SIS, porém o tempo necessário para fabricação e trânsito do circuito integrado final é maior do que o tempo total disponibilizado para realização desse trabalho, de 3 a 5 meses. Por esse motivo, o trabalho não conta com resultados de testes em protótipos.

Apêndice A

O Modelo ACM

Para análise e desenvolvimento de referências de tensão, foi empregado o ACM, um modelo baseado em corrente para o transistor MOSFET que usa o conceito de nível de inversão [5].

O ACM tem o objetivo de apresentar equações simples para auxiliar no projeto de circuitos integrados durante a fase inicial, com a possibilidade de aplicação de uma série de aproximações para descrever o comportamento do circuito em diferentes modos de operação com boa aproximação.

A.1 Equações Analíticas

De acordo com o modelo ACM, a corrente de dreno pode ser dividida em uma componente direta (I_F) e uma reversa (I_R), conforme as equações A.1, A.2 e A.3.

$$I_D = I_F - I_R = I_S(i_f - i_r) \quad (\text{A.1})$$

$$I_S = I_{SQ} \left(\frac{W}{L} \right) = I_{SQ}(S) \quad (\text{A.2})$$

$$I_{SQ} = \mu C'_{ox} \eta \frac{\phi_t^2}{2} \quad (\text{A.3})$$

A corrente $I_F(I_R)$ depende da tensão de porta e dreno (fonte). Em saturação direta, $I_F \gg I_R$; conseqüentemente, $I_D \cong I_F = I_S i_f$. I_S é a corrente de normalização (específica) e I_{SQ} é a corrente específica de folha (igual a I_S para $W = L$), i_f é o nível de inversão direto e i_r o nível de inversão reverso, μ , C'_{ox} , η e $W/L=S$ são a mobilidade, capacitância por área do óxido da porta, fator de rampa e razão de aspecto, respectivamente, todos são parâmetros da tecnologia utilizada.

ϕ_t é a tensão térmica, uma grandeza PTAT definida na equação A.4.

$$\phi_t = \frac{k_B T}{q} \quad (\text{A.4})$$

Onde k_B é a constante de Boltzmann e q a carga fundamental. O valor da tensão térmica na temperatura ambiente é de aproximadamente $26mV$.

A relação entre corrente e tensão [5] é dada pela equação A.5. Podemos observar a simetria do transistor MOSFET, já que as correntes direta e reversa possuem o mesmo comportamento e podem ser sobrepostas, porém uma depende da tensão de dreno e outra da tensão de fonte.

$$\frac{V_P - V_{S(D)}}{\phi_t} = F(i_{f(r)}) = \sqrt{1 + i_{f(r)}} - 2 + \ln\left(\sqrt{1 + i_{f(r)}} - 1\right) \quad (\text{A.5})$$

V_P é a tensão de *pinch-off* e V_{T0} é a tensão de polarização nula.

Convém notar que $F(i_{f(r)})$ é invertível, portanto existe somente um nível de inversão capaz de produzir um determinado valor para a razão $(V_P - V_{S(D)})/\phi_t$.

Uma das condições de operação desejadas frequentemente é aquela em que o dispositivo opera em saturação e a corrente no dreno não depende mais da tensão de dreno. A tensão mínima do dreno à fonte para podermos considerar o transistor operando em saturação pode ser estimada pela equação:

$$V_{DSsat} = \phi_t (\sqrt{1 + i_f} + 3) \quad (\text{A.6})$$

Mais detalhes a respeito de do modelo ACM podem ser vistos em [6, 5].

A.2 Aproximações

Para facilitar os cálculos teóricos, são usadas aproximações específicas para cada região de operação. As aproximações mais importantes são feitas para as regiões de operação de saturação, inversão fraca e inversão forte.

A.2.1 Saturação

Quando a tensão do dreno à fonte do transistor é suficientemente grande, maior que aquela dada pela equação A.6, o transistor opera em saturação. Nesse estado, a corrente reversa fica bastante reduzida, de forma que podemos considerar o nível de inversão reverso muito menor que o nível de inversão direto.

$$i_r \ll i_f \quad (\text{A.7})$$

Nesse caso, desconsideramos completamente a corrente reversa quando comparada à direta, passando a corrente de dreno a ser descrita somente pela corrente direta.

$$i_f = \frac{I_D}{I_S} \quad (\text{A.8})$$

A corrente total circulando no canal passa a não depender mais da tensão de dreno, conforme esperado.

A.2.2 Inversão Fraca

Quando o transistor opera com pouca corrente, em níveis de inversão muito menores que a unidade, o comportamento da corrente de dreno em função da tensão de porta pode ser aproximado por uma função exponencial.

Partindo da equação A.5, podemos aproximar os termos quadráticos de $F(i_{f(r)})$ por uma função linear.

$$\sqrt{x+1} \approx 1 + \frac{x}{2} \quad (\text{A.9})$$

Nesse caso, a equação pode ser simplificada para:

$$F(i_{f(r)}) = \ln\left(\frac{i_{f(r)}}{2}\right) - 1 \quad (\text{A.10})$$

A.2.3 Tensão de *Pinch-off*

De acordo com [5], podemos fazer uma aproximação linear para V_P quando a tensão de porta V_{GB} estiver próxima à tensão de limiar:

$$V_P \approx \frac{V_G - V_{T0}}{n} \quad (\text{A.11})$$

η é o fator de rampa, levemente dependente da tensão de porta, é maior que 1 e usualmente menor que 2.

Essa simplificação é muito útil para cálculos manuais, já que nos permite descrever a tensão de *pinch-off* como uma função linear da tensão de porta envolvendo apenas constantes.

Unindo a descrição da tensão de *pinch-off* dada em A.5 à equação A.11, temos um resultado que descreve a tensão de porta diretamente em função de constantes e dos níveis de inversão.

$$V_G = V_{T0} + \eta (\phi_t F(i_{f(r)}) + V_{S(D)}) \quad (\text{A.12})$$

Convém notar que apesar de referir-se aos valores de V_{T0} e ϕ_t como constantes, já que não dependem das correntes e tensões sobre o transistor, estes valores apresentam variação com a temperatura.

Referências Bibliográficas

- [1] B. Calhoun, A. Wang, and A. Chandrakasan, "Modeling and sizing for minimum energy operation in subthreshold circuits," *IEEE J. of Solid-State Circuits*, Vol. 40, no. 9, pp. 1778 -1786, Sept. 2005.
- [2] S. Hanson et al., "Ultralow-voltage minimum-energy CMOS," *IBM Journal of Research and Development*, vol. 50, no. 4/5, pp. 469-489, July/Sept. 2006.
- [3] P. Kinget, C. Vezyrtzis, E. Chiang, B. Hung and T.L. Li, "Voltage References for Ultra-Low Supply Voltages," *IEEE 2008 Custom Integrated Circuits Conference (CICC)*, pp.715-720
- [4] Mingoo Seok, Gyouho Kim, Dennis Sylvester, David Blaauw, "A 0.5V 2.2pW 2-Transistor Voltage Reference," *IEEE 2009 Custom Integrated Circuits Conference (CICC)*, pp. 577-580
- [5] A. I. A. Cunha, M. C. Schneider, C. Galup-Montoro, "An MOS Transistor Model for Analog Design," *IEEE Journal of Solid State Circuits*, vol. 33, pp. 1510-1519, October 1998
- [6] M. C. Schneider, C. Galup-Montoro, "CMOS Analog Design Using All-Region MOSFET Modeling," *Cambridge University Press*, 2010
- [7] E. M. Camacho-Galeano, C. Galup-Montoro, M. C. Schneider, "An Ultra-Low-Power Self-Biased Current Reference," *SBCCI'04 - 17th Symposium on Integrated Circuits and Systems Design*, pp. 147-150, September 2004
- [8] D. S. Piovani, M. C. Schneider, "Design of a Temperature-Compensated Voltage Reference based on the MOSFET Threshold Voltage," *SBCCI'11 - 24th Symposium on Integrated Circuits and Systems Design*, September 2011
- [9] M. B. Machado, O. F. Siebel, M. C. Schneider, C. Galup-Montoro, "MOSFET Threshold Voltage: Definition, Extraction, and Applications," *The Nanotechnology Conference and Expo, Boston, USA, Proceedings of Nanotech 2011*, pp. 710-713, June 2011.

- [10] W. B. Shockley, "Transistor-Diodes," The International Convention on Transistors and Associates Semiconductor Devices, pp. 270-273, May 1959
- [11] A. S. Sedra, K. C. Smith, "Microeletrônica," 5. ed. - São Paulo, Pearson Prentice Hall, 2007
- [12] P. R. Gray, R. G. Meyer, "Analysis and Design of Analog Integrated Circuits," 1. ed., John Wiley & Sons, 1977